

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-089203

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

G06F 15/60
H01L 21/3205

(21)Application number : 03-246244

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.09.1991

(72)Inventor : TAJIMA SHOGO

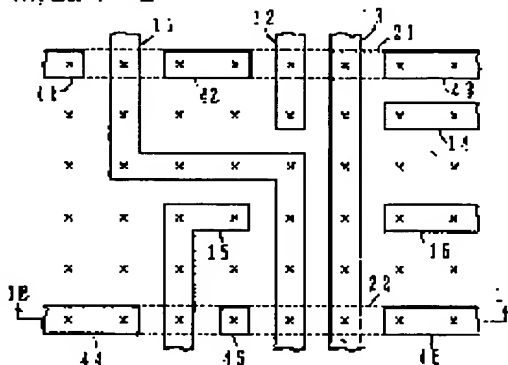
(54) SEMICONDUCTOR DEVICE AND DESIGN METHOD FOR WIRING ARRANGEMENT

(57)Abstract:

PURPOSE: To improve reliability for a device and to fractionize wiring more than ever by reducing variation of height in wiring in a semiconductor device and design method for wiring arrangement.

CONSTITUTION: Upper layer wiring patterns 21, 22 and lower layer wiring patterns 11-13, 15 are formed adjacently in upward and downward directions on a substrate 30, and dummy wiring patterns 41-46 insulated to both wiring patterns are arranged at an area where it the lower layer area of the upper layer wiring patterns 21, 22 and also, is not crossed with the lower layer wiring patterns 11-13, 15.

(A) 図2-19平面図



(B) 図2-19断面図



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-89203

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

G 0 6 F 15/60
H 0 1 L 21/3205

識別記号

3 7 0 P 7922-5L

7353-4M

庁内整理番号

F I

H 0 1 L 21/ 88

技術表示箇所

A

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平3-246244

(22)出願日

平成3年(1991)9月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田島 正吾

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 松本 眞吉

(54)【発明の名称】 半導体装置及び配線配置設計方法

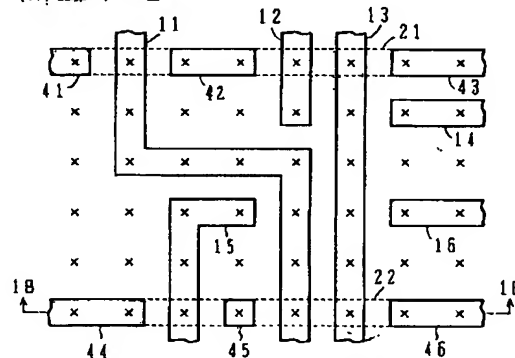
(57)【要約】

【目的】本発明は、半導体装置及び配線配置設計方法に関し、配線の高低を低減することにより、信頼性を向上させ、配線のより微細化を可能にすることを目的とする。

【構成】基板30上に上下に隣合う上層配線パターン21、22と下層配線パターン11～3、15とが形成され、上層配線パターン21、22の下層領域かつ下層配線パターン11～3、15とクロスしていない領域に、両配線パターンと絶縁したダミー配線パターン41～46が配置されている。

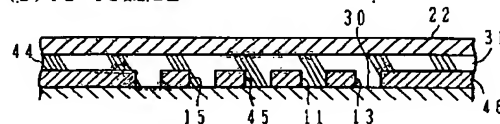
本発明の第1実施例の半導体装置の配線配置図

(A) 配線パターン図



11～16: 第1層配線
21, 22: 第2層配線
41～46: ダミー配線

(B) 1B-1B線断面図



【特許請求の範囲】

【請求項 1】 基板（30）上に上下に隣合う上層配線パターン（21、22）と下層配線パターン（11～13、15）とが形成され、該上層配線パターンの下層領域かつ該下層配線パターンとクロスしていない領域に、該両配線パターンと絶縁したダミー配線パターン（41～46）が配置されていることを特徴とする半導体装置。

【請求項 2】 前記ダミー配線パターンは、矩形パターン（51～60）が並設されて構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 基板（30）上の上下に隣合う上配線層と下配線層にそれぞれ上層配線パターン（21、22）及び下層配線パターン（11～16）を配置設計した後に、該上層配線パターンに沿って該上層配線パターンの下層に、該下層配線パターンと短絡しないようにダミー配線パターンを配置設計することを特徴とする配線配置設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及び配線配置設計方法に関する。

【0002】

【従来の技術】 半導体集積回路の大規模化、高集積化に伴い、配線の微細化が進んでいる。

【0003】 図 4（A）は、配線パターン図であり、基板側の第 1 配線層に第 1 層配線パターン 11～16 が配置され、第 1 配線層の上層の第 2 配線層に第 2 層配線パターン 21 及び 22 が配置されている。図中、×印は CAD で配線を配置設計する際にディスプレイユニットの画面に表示されるグリッドであり、グリッドに沿って配線することにより配線間隔がデザインルールを満たすようになっている。

【0004】 例えば第 2 層配線パターン 22 は、第 1 層配線パターン 11、13 及び 15 とクロスしているので、その断面形状は図 4（B）に示す如くなり、半導体基板 30 に対する高さに高低が生ずる。このため、第 2 層配線パターン 22 の屈曲部での、その表面に垂直方向の厚さは、平坦な部分での厚さよりも小さくなり、エレクトロマイグレーション等により断線の虞が生ずる。また、配線パターンを露光する際に光照射点が焦点深度外となったりする。したがって、半導体集積回路装置の信頼性が低下し、また、配線の微細化が妨げられる。

【0005】 図中、31 は絶縁膜である。また、互いに隣合う配線パターン 11 と配線パターン 13 との間の上方の配線パターン 22 の部分が平坦になっているのは、最近の絶縁膜埋め込み技術による。

【0006】 第 1 配線層の全未配線領域にダミー配線パターンを配置すれば、第 2 層配線パターンの高低を防止することができるが、配線容量が増加し過ぎたり、ダミ

一配線と通常の配線との間に付着した塵等により短絡故障が生じ易くなるという新たな問題点が生ずる。また、特開平 2-184035 号公報には、ダミー配線が提案されているが、これは、封止用モールド樹脂と半導体チップの配線部の熱膨張率差により配線部に熱応力が加わって上層配線と下層配線とが短絡するのを防止するためのものであり、配線の高低を低減するものではない。

【0007】

【発明が解決しようとする課題】 本発明の目的は、上記問題点に鑑み、配線の高低を低減することにより、信頼性を向上させ、配線のより微細化を可能にした半導体装置及びこれを得るための配線配置設計方法を提供することにある。

【0008】

【課題を解決するための手段及びその作用】 本発明に係る半導体装置及び配線配置設計方法を、実施例図中の対応する構成要素の符号を引用して説明する。

【0009】 この半導体装置は、例えば図 1 に示す如く、基板 30 上に上下に隣合う上層配線パターン 21、22 と下層配線パターン 11～13、15 とが形成され、上層配線パターン 21、22 の下層領域かつ下層配線パターン 11～13、15 とクロスしていない領域に、両配線パターンと絶縁したダミー配線パターン 41～46 が配置されている

【0010】 このようにダミー配線パターンを配置すれば、上層配線パターンの断面形状は、例えば図 1（B）に示す如く、高低なく平坦になる。このため、エレクトロマイグレーション等による断線の虞が低減する。また、配線パターンを露光する際に光照射点が焦点深度外となるのを防止することができる。したがって、半導体集積回路装置の信頼性が向上し、また、配線をより微細化することが可能となる。

【0011】 本装置発明の第 1 態様では、上記ダミー配線パターンは、例えば図 3 に示す如く、矩形パターン 51～60 が並設されて構成されている。

【0012】 この構成の場合、ダミー配線パターンの総面積がより狭くなるので、矩形パターンを連ねた場合よりも配線容量の増加を抑えることができる。

【0013】 上記半導体装置を得るために、本発明に係る配線配置設計方法では、基板上の上下に隣合う上配線層と下配線層にそれぞれ上層配線パターン及び下層配線パターンを配置設計した後に、該上層配線パターンに沿って該上層配線パターンの下層に、該下層配線パターンと短絡しないようにダミー配線パターンを配置設計する。

【0014】

【実施例】 以下、図面に基づいて本発明の実施例を説明する。

【0015】（1）第 1 実施例

図 1（A）は半導体装置の配線パターン図であり、図 1

(B)は(A)の1B-1B線断面図である。図4と同一構成要素には、同一符号を付してその説明を省略する。なお、図1では第2配線層の配線パターン21及び22を点線で表している。

【0016】この半導体装置では、第1配線層の未配線領域のうち、第2配線層の配線の下方部のみダミー配線を配置している。すなわち、第2層配線パターン21の下方にダミー配線パターン41、42及び43を配置し、第2層配線パターン22の下方にダミー配線パターン44、45及び46を配置している。これらダミー配線パターン41~46は通常の配線と短絡しないよう、通常の配線ルールに従って配置されている。

【0017】このようなダミー配線により、例えば第2層配線パターン22の断面形状は、図1(B)に示す如く、高低なく平坦になる。このため、エレクトロマイグレーション等による断線の虞が低減する。また、配線パターンを露光する際に光照射点が焦点深度外となるのを防止することができる。したがって、半導体集積回路装置の信頼性が向上し、また、配線をより微細化することが可能となる。

【0018】図2は、図1の配線の配置設計手順を示す。この配置設計には、通常の配線のレイアウト設計に用いられるCADが使用される。以下、括弧内の数値は、図中のステップ識別番号を表す。

【0019】(70)第1配線層及び第2配線層の配線を配置設計し、例えば、第1配線層の配線パターンデータを第1ファイルに格納し、第2配線層の配線パターンデータを第2ファイルに格納する。次に、これら第1ファイル及び第2ファイルをオープンし、以下のステップ72~76の処理を行う。

【0020】(72)第2ファイルから読み出すべき配線パターン配置データが終了していれば処理を終了し、そうでなければ次のステップ74へ進む。

【0021】(74)第2ファイルから配線パターン配置データを読み出す。

【0022】(76)読み出した第2配線層の配線パターンに沿って、第1配線層にダミー配線パターンを配置する。この配置は、グリッドの格子点(第1図中の×印)単位で第1層の通常配線と短絡しないように行う。次に、上記ステップ72へ戻る。

【0023】(2)第2実施例

図3(A)は第2実施例の半導体装置の配線パターン図であり、図3(B)は(A)の3B-3B線断面図である。図1と同一構成要素には、同一符号を付してその説明を省略する。

【0024】この第2実施例では、ダミー配線パターン

を配線片の集合で構成し、配線片の形状を、グリッドの1格子点のみを含む正方形としている。ダミー配線パターンを配置する箇所は上記第1実施例と同一である。

【0025】すなわち、第2層配線パターン21の下方の第1配線層に、ダミー配線パターン51~55を配置し、第2層配線パターン22の下方の第1配線層に、ダミー配線パターン56~60を配置している。

【0026】このように配置すれば、例えば第2層配線パターン22の下方の配線の間隔は、図3(B)に示す如く、絶縁層31の上面を平坦にするのに必要な間隔以下となり、第2層配線パターン22を平坦に配置することが可能となる。また、ダミー配線の総面積が上記第1実施例の場合よりも狭くなるので、第1実施例よりも配線容量の増加を抑えることができる。

【0027】

【発明の効果】以上説明した如く、本発明に係る半導体装置及び配線配置設計方法によれば、上層配線パターンの断面形状が高低なく平坦になり、このため、エレクトロマイグレーション等による断線の虞が低減し、また、配線パターンを露光する際に光照射点が焦点深度外となるのを防止することができ、したがって、半導体集積回路装置の信頼性が向上し、また、配線をより微細化することが可能となるという優れた効果を奏し、半導体集積回路の大規模化、高集積化に寄与するところが大きい。

【0028】本装置発明の上記第1態様によれば、ダミー配線パターンの総面積がより狭くなるので、矩形パターンを連ねた場合よりも配線容量の増加を抑えることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1実施例の配線配置図であり、(A)は配線パターン図、(B)は(A)の1B-1B線断面図である。

【図2】図1の配線の配置設計手順を示すフローチャートである。

【図3】本発明に係る半導体装置の第2実施例の配線配置図であり、(A)は配線パターン図、(B)は(A)の3B-3B線断面図である。

【図4】従来の半導体装置の配線配置図であり、(A)は配線パターン図、(B)は(A)の4B-4B線断面図である。

【符号の説明】

11~16 第1層配線パターン

21、22 第2層配線パターン

30 半導体基板

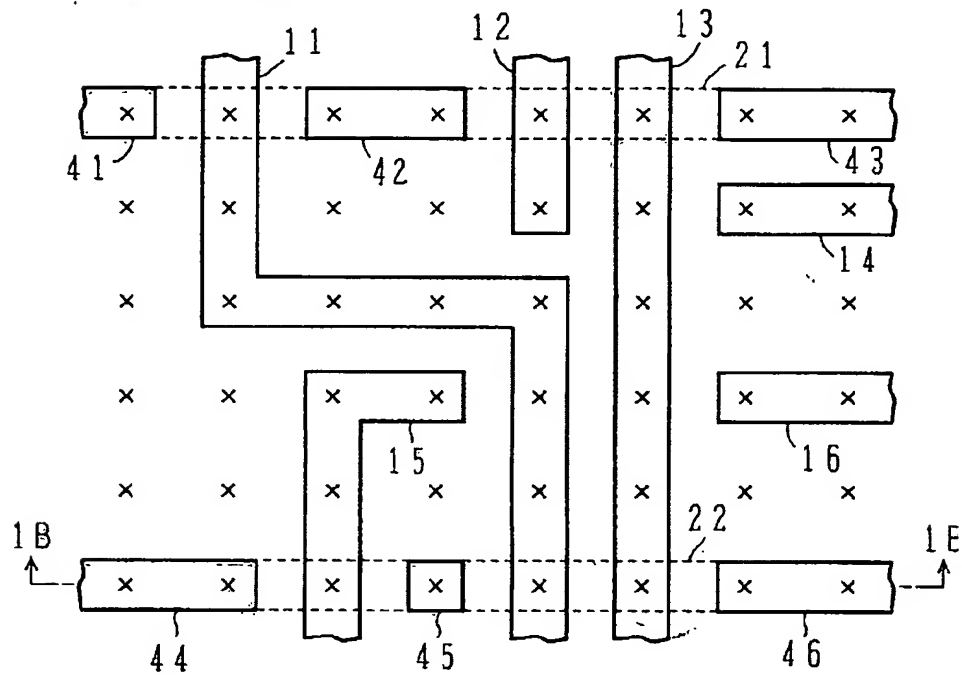
31 絶縁層

41~46、51~60 ダミー配線パターン

【図1】

本発明の第1実施例の半導体装置の配線配置図

(A) 配線パターン図

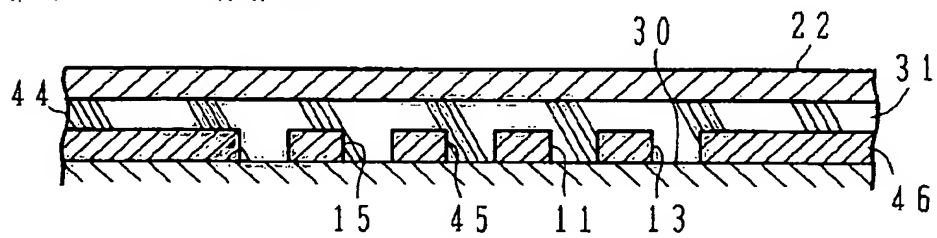


11~16: 第1層配線

21, 22: 第2層配線

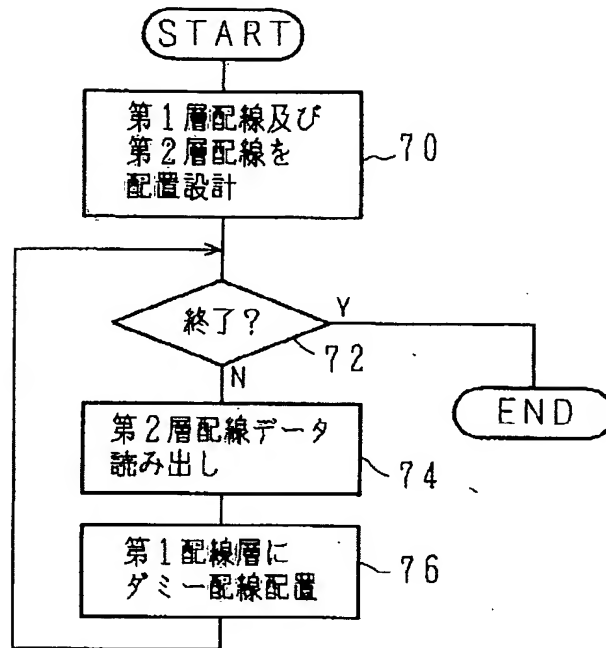
41~46: ダミー配線

(B) 1B-1B線断面図



【図2】

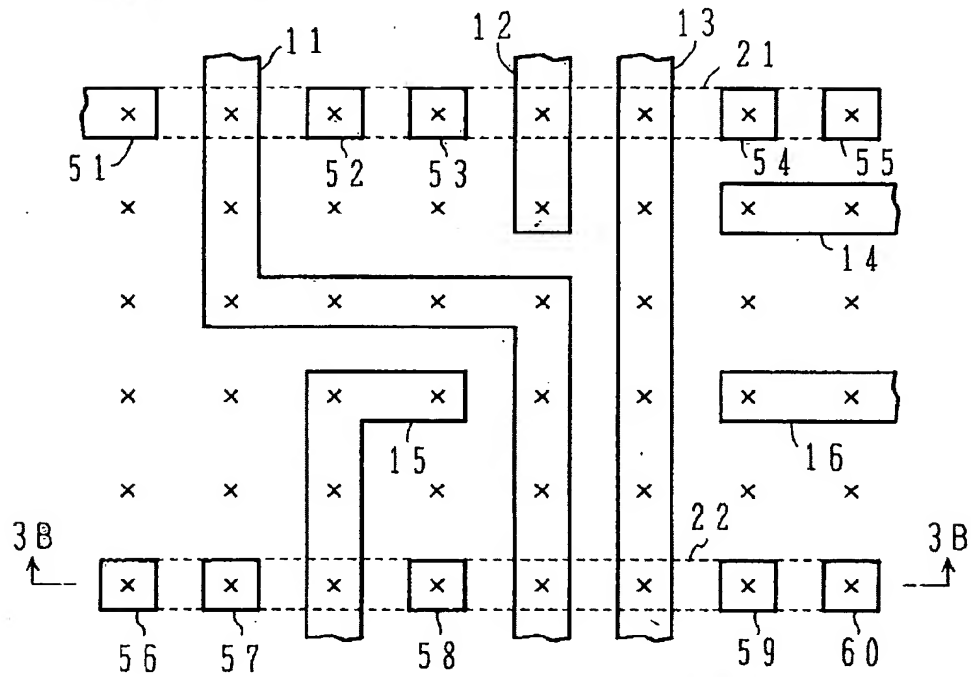
図1の配線の配置設計手順を示すフローチャート



【図3】

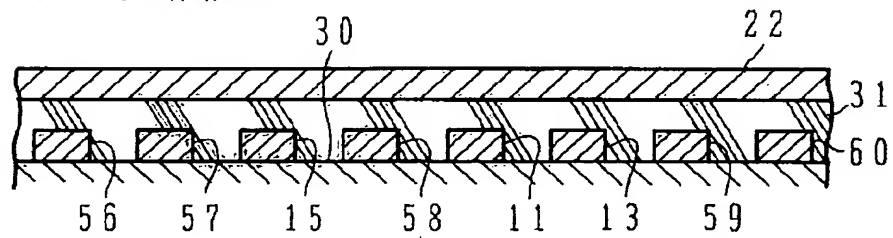
本発明の第2実施例の半導体装置の配線配置図

(A) 配線パターン図



11~16 : 第1層配線
 21, 22 : 第2層配線
 51~60 : ダミー配線

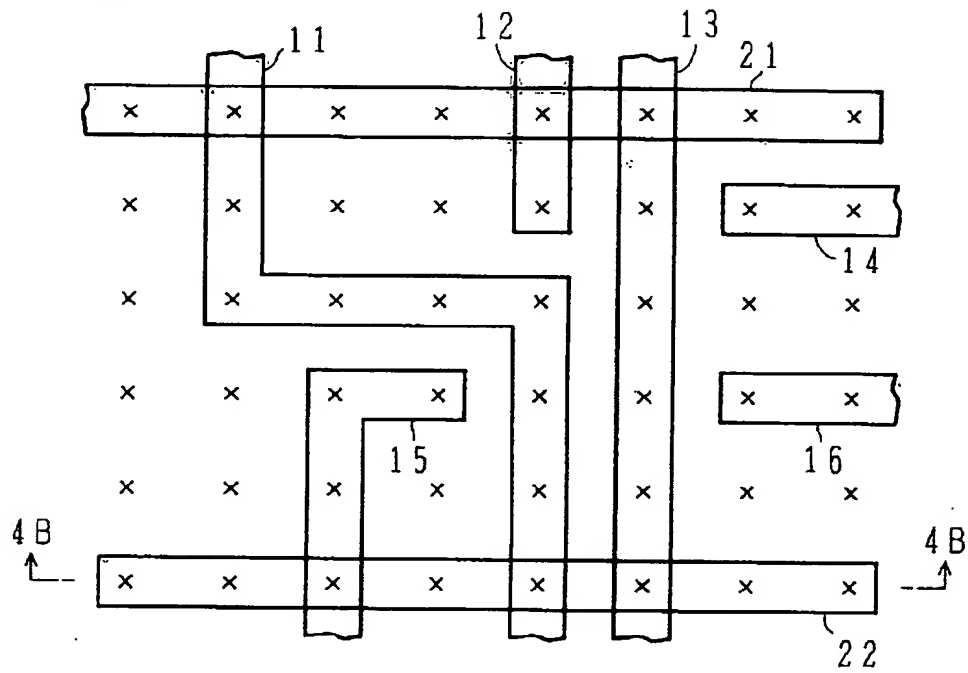
(B) 3B-3B線断面図



【図4】

従来の半導体装置の配線配置図

(A) 配線パターン図



(B) 4B-4B線断面図

